

Serial No.: 10/822,997
W&B Docket No.: INF 3549-US
OC Docket No.: INFN/0080

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Jean-Marc Dortu, et al

Serial No.: 10/822,997

Filed: April 13, 2004

For: MEMORY APPARATUS HAVING
A SHORT WORD LINE CYCLE
TIME AND METHOD FOR
OPERATING A MEMORY
APPARATUS

www.pearsoned.com

Group Art Unit: 2818

Confirmation No. 4665

MAIL STOP
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE OF MAILING
37 CFR 1.8

I hereby certify that this correspondence is being deposited on
July 26, 2004 with the United States Postal
Service as First Class Mail in an envelope addressed to:
Commissioner for Patents, P.O. Box 1450 Alexandria, VA
22313-1450.

7-26-04
Date

[Signature]
Signature

CLAIM TO PRIORITY

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 103 17 162.2 filed April 14, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)

BEST AVAILABLE COPY



10,822,997

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 103 17 162.2

Anmeldetag: 14. April 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Speichervorrichtung mit kurzer Wortleitungszykluszeit und Leseverfahren hierzu

IPC: G 11 C 8/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 15. April 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust

Speichervorrichtung mit kurzer Wortleitungszykluszeit und Leseverfahren hierzu

Beschreibung

Die Erfindung betrifft eine Speichervorrichtung sowie ein Verfahren zum Lesen von Daten aus Speicherzellen einer Speichervorrichtung.

- 5 Zwei wesentliche Parameter von Speichervorrichtungen, insbesondere moderner DRAM-Speichervorrichtungen, sind einerseits die sogenannte Wortleitungszykluszeit (row-cycle time) t_{RC} sowie die sogenannte Leselatenz (read latency) t_{RL} . Die Wortleitungszykluszeit t_{RC} ist die minimale Zeitdauer, 10 welche zwischen einem Öffnen von Wortleitungen in der gleichen Speicherbank verstreicht. Die Leselatenz t_{RL} bezeichnet die Zeitverzögerung zwischen einem Lesebefehl (read command) RD und gültigen Daten am Datenausgang der Speichervorrichtung.
- 15 Die maximale Bandbreite, welche bei einem wahlfreien Zugriff auf Speicherzellen eines Speicherzellenfeldes einer Speichervorrichtung erzielbar ist, ist letztendlich durch die Wortleitungszykluszeit t_{RC} begrenzt. So vergeht von der Eingabe eines Lesebefehls bis zur Ausgabe gültiger Daten am 20 Datenausgang der Speichervorrichtung in der Praxis eine maximale Zeitdauer, welche als "effektive" Leselatenz $t_{RL}(\text{eff})$ bezeichnet wird. Diese effektive Leselatenz $t_{RL}(\text{eff})$ ist die maximale Zeitdauer, welche benötigt wird, den vorangegangenen Wortleitungszyklus zu beenden (d.h. t_{RC}) und die "intrinsische" 25 Leselatenz t_{RL} , d.h.

$$t_{RL}(eff) = t_{RC} + t_{RL}$$

Um eine möglichst geringe effektive Leselatenz $t_{RL}(eff)$ zu
5 erzielen, muß somit eine kurze Wortleitungszykluszeit t_{RC}
ermöglicht werden, so daß t_{RC} ein wesentlicher Parameter für
schnelle Speichervorrichtungen ist.

Zwar haben sich in jüngerer Zeit andere wesentliche Parameter
10 von modernen Halbleiterspeichervorrichtungen, insbesondere
deren Leistungsaufnahme, die maximale Taktfrequenz, die
Integrationsdichte usw., bei jeder neuen
Halbleiterspeichergeneration ständig verbessert. Jedoch ist die
aus obigen Gesichtspunkten erstrebenswerte Reduktion der
15 Wortleitungszykluszeit t_{RC} in den vergangenen Jahren
vergleichsweise gering ausgefallen.

Die physikalischen Parameter, welche die Wortleitungszykluszeit
 t_{RC} bestimmen sind im wesentlichen parasitäre Kapazitäten und
20 Leitungswiderstände. Es hat sich gezeigt, daß sich diese
physikalischen Parameter mit den Fortschritten der modernen
Halbleitertechnologie nur unwesentlich verbessern, falls eine
Verbesserung überhaupt ersichtlich ist. Zudem führen
Vergrößerungen der Zellenfeldgröße im allgemeinen zu einem
25 Anstieg parasitärer Einflüsse, welche sich nachteilig auf t_{RC}
auswirken, wenn nicht ein nachteilig großer
Siliziumflächenverbrauch akzeptiert wird.

Um das Verständnis der später zu erläuternden Erfindung zu
30 erleichtern, wird im folgenden der Zeitablauf bzw. das Timing
eines typischen Wortleitungszyklusses (row cycle) eines
herkömmlichen DRAM-Speichers beschrieben. Die beispielhafte
Beschreibung ist zwar in diesem Fall auf einen DRAM-Speicher
gerichtet, jedoch sind auch bei anderen Speicherarchitekturen,
35 beispielsweise SRAMs oft ähnliche Konzepte verwirklicht.

Ein typischer minimaler Wortleitungszyklus (row cycle) eines
DRAM-Speichers mit einer Vielzahl von Speicherzellen, wobei
jeder der Speicherzellen eine Wort- und einer Bitleitung
zugeordnet ist, besteht aus den folgenden drei Abläufen:

1. Einem Wortleitungsöffnungs- und Datenleseschritt (BLSENS)

Bei diesem Schritt wird die betreffende Wortleitung
"geöffnet", d.h. die Zellentransistoren der Speicherzellen,
welche mit der Wortleitung verbunden sind, werden in einen
elektrisch leitfähigen Zustand gebracht. Die
Speicherkondensatoren der Speicherzellen sind somit
leitfähig mit den ihnen jeweilig zugeordneten Bitleitungen
verbunden, so daß in bekannter Weise die in den
Speicherzellen gespeicherten Daten gelesen werden können.
Die zum Öffnen der Wortleitung und zum Lesen der in den
Speicherzellen gespeicherten Daten benötigte Zeit t_{BLSENS}
wird somit hauptsächlich durch diejenige Zeit bestimmt,
welche zum Öffnen der Wortleitung, zur Entwicklung des
Bitleitungssignals und zum Lesen der Daten in ein Register
notwendig ist.

2. Einem Schreib- bzw. Ladeschritt (CHARGE)

Bei geöffneter Wortleitung können neue Daten mittels eines
Schreibbefehls durch Anlegen einer geeigneten Spannung an
die jeweilige Bitleitung in den gewünschten
Speicherzellenkondensator geschrieben werden. Falls es sich
um einen Schreib- sondern um einen Lesebefehl handelt,
werden die zuvor im Schritt 1 (BLSENS) ausgelesenen Daten
in gleicher Weise in den Speicherzellenkondensator
zurückgeschrieben, um dessen Spannungssignal wieder auf den
vorgeschriebenen Sollwert zu bringen. In ähnlicher Weise
werden auch bei einem Refreshbefehl die zuvor im Schritt 1

ausgelesenen Daten in den Speicherzellenkondensator zurückgeschrieben. Die Verzögerung t_{CHARGE} , welche sich aufgrund dieses Ladeschritts ergibt, wird somit im wesentlichen durch den zur Verfügung stehenden Ladestrom sowie durch die Kapazität des Speicherzellenkondensators der DRAM-Speicherzellen bestimmt.

3. Ein elektrischer "Vorspannschritt" bzw. Löschungsschritt der Bitleitungen (pre-charge, BLPRE)

Da die Bitleitungen nach Ausführung des Ladeschritts (CHARGE), wie er unter Punkt 2 oben beschrieben worden ist, entweder auf dem vorbestimmten unteren oder dem vorbestimmten oberen Spannungspotential liegen, müssen sie zur Vorbereitung auf einen erneuten Öffnungs- und Ausleseschritt (BLSENS) zunächst auf ein geeignetes, vorbestimmtes Spannungspotential gebracht werden, d.h. auf ein geeignetes Spannungspotential elektrisch "vorgespannt" werden, was auch als "Löschen" der Bitleitungen bezeichnet wird. Mit dem Löschen der Bitleitungen ist eine Zeitverzögerung t_{BLPRE} verbunden.

Die oben genannten drei Zeitverzögerungen t_{BLSSENS} , t_{CHARGE} und t_{BLPRE} ergeben in Summe die (minimale) Wortleitungszykluszeit t_{RC} (row cycle time). Zwischen Schreib-, Lese- und Refreshbefehlen ergibt sich somit hinsichtlich der minimal notwendigen Wortleitungszykluszeit t_{RC} kein Unterschied.

Es ist eine Aufgabe der Erfindung, eine Speichervorrichtung anzugeben, welche eine geringere Wortleitungszykluszeit (row cycle time) t_{RC} aufweist. Aufgabe der Erfindung ist ferner ein entsprechendes Verfahren zum Lesen von Daten aus Speicherzellen einer derartigen Speichervorrichtung anzugeben.

Die die Vorrichtung betreffende Aufgabe wird durch eine Speichervorrichtung mit den in Anspruch 1 genannten Merkmalen gelöst. Die das Verfahren betreffende Aufgabe wird durch ein Verfahren mit den in Anspruch 8 genannten Merkmalen gelöst.

5 Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

Gemäß der Erfindung umfaßt eine Speichervorrichtung:

- 10 - zumindest ein Zellenfeld mit einer Vielzahl von Speicherzellen, wobei jeder der Speicherzellen eine Wort- und eine Bitleitung zugeordnet ist;
 - eine Steuereinrichtung, welche mit den Wort- und den Bitleitungen in Signalverbindung steht und ausgelegt ist, in den Speicherzellen gespeicherte Daten zu lesen und Daten 15 in die Speicherzellen zu schreiben;
- wobei die Steuereinrichtung zur Ausführung eines destruktiven Lesebefehls von Daten aus zumindest einer der Speicherzellen ausgelegt ist, welcher in dieser Reihenfolge
- 20 -- ein elektrisches Vorspannen bzw. Löschen zumindest der Bitleitung, welcher der zumindest einen Speicherzelle zugeordnet ist;
 - ein Öffnen der Wortleitung, welcher der zumindest einen Speicherzelle zugeordnet ist; und
 - 25 -- ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten
- umfaßt.

Die Steuereinrichtung einer erfindungsgemäßen Speichervorrichtung ist somit zur Ausführung eines destruktiven 30 Lesebefehls ("destructive read" bzw. "read-once", DRD) mit einem im Vergleich zum Stand der Technik unterschiedlichen Wortleitungszyklus ausgelegt. So ist die Steuereinrichtung derartig ausgebildet, daß ein Wortleitungszyklus bei der Ausführung eines destruktiven Lesebefehls mit dem elektrischen 35 Vorspannen bzw. Löschen der Bitleitung (BLPRE), welcher der


zumindest einen Speicherzelle zugeordnet ist, beginnt. In diesem Zusammenhang wird auf die im Rahmen der Beschreibung des Standes der Technik vorgenommenen Definitionen und Ausführungen verwiesen, welche sich hinsichtlich der allgemeinen Erklärungen und Begriffsbestimmungen auch auf die Erfindung beziehen.

Im Unterschied zu einem herkömmlichen Wortleitungszyklus beginnt somit bei einer erfindungsgemäßen Speichervorrichtung der Wortleitungszyklus mit dem Schritt BLPRE, d.h. dem Löschen der zugeordneten Bitleitungen. Anschließend erfolgt ein "Öffnen" der Wortleitung, welcher der zumindest einen Speicherzelle zugeordnet ist sowie ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten, d.h. der oben mit BLSENS bezeichnete Öffnungs- und Ausleseschritt. Mit Abschluß des Schritts BLSENS ist bei der erfindungsgemäßen Speichervorrichtung der minimale Wortleitungszyklus beendet, da kein Rückschreiben der zuvor gelesenen Daten in die Speicherzellen erfolgt, so daß der beim Stand der Technik immer erforderliche Ladeschritt CHARGE entfällt. Die aus der zumindest einen Speicherzelle gelesenen Daten, d.h. im allgemeinen eine binäre Information, wird an dem Datenausgang der Speichervorrichtung bereitgestellt.

Für einen destruktiven Lesebefehl ergibt sich somit eine minimale Wortleitungszykluszeit $t_{RC}(DRD) = t_{BLPRE} + t_{BLSENS}$. Diese minimale Wortleitungszykluszeit $t_{RC}(DRD)$ ist geringer als die minimale Wortleitungszykluszeit $t_{RC} = t_{BLSENS} + t_{CHARGE} + t_{BLPRE}$ bei herkömmlichen Speichervorrichtungen. Im Unterschied zu bekannten Speichervorrichtungen endet der Lesebefehl nicht mit der Ausführung eines Löschungsschritts BLPRE der Bitleitungen. Stattdessen wird eine konzeptionelle Neuordnung des Wortleitungszyklusses vorgeschlagen, bei welchem zur Ausführung eines Lesebefehls der Löschungsschritt BLPRE an den Anfang des Zyklusses gestellt wird. Durch die reduzierte minimale Wortleitungszykluszeit $t_{RC}(DRD)$ ist auch die "effektive"

Leselatenz $t_{RL}(\text{eff})$ reduziert, so daß bei einem wahlfreien Zugriff auf das Speicherzellenfeld eine höhere Bandbreite erzielbar ist.

5 Gemäß einer bevorzugten Ausführungsform einer erfindungsgemäßen Speichervorrichtung ist die Steuereinrichtung zusätzlich zur Ausführung eines Schreibbefehls (WR) von Daten in zumindest eine der Speicherzellen ausgelegt, wobei der Schreibbefehl ein Schreiben der Daten in die zumindest eine Speicherzelle ohne
10 zuvoriges Lesen der in der Speicherzelle gespeicherten Daten umfaßt.

 Im Unterschied zu herkömmlichen Speichervorrichtungen wird somit gemäß der bevorzugten Ausführungsform der
15 erfindungsgemäßen Speichervorrichtung vorgeschlagen, den herkömmlicherweise gemeinsamen Wortleitungszyklus für Lese- und Schreibbefehle in getrennte, kürzere Zyklen für destruktives Lesen und Schreiben aufzuteilen. Bei dem minimalen Wortleitungszyklus für einen Schreibbefehl entfallen somit die
20 beim Stand der Technik notwendigen Schritte BLSENS und BLPRE, so daß die minimale Wortleitungszykluszeit für einen Schreibbefehl im Vergleich zum Stand der Technik erheblich verkürzt werden kann. Bei der erfindungsgemäßen Ausführungsform ist $t_{RC}(\text{WR}) = t_{RC}(\text{CHARGE})$. Gemäß der bevorzugten Ausführungsform
25 der Erfindung erfolgt bei einem Schreibbefehl somit kein vorheriges Auslesen der Daten aus der Speicherzelle, bevor (neue) Daten in die Speicherzelle geschrieben werden.

Gemäß einer weiteren bevorzugten Ausführungsform einer
30 erfindungsgemäßen Speichervorrichtung ist die Steuereinrichtung zusätzlich zur Ausführung eines nicht-destruktiven Lesebefehls (RRD) von Daten aus zumindest einer der Speicherzellen ausgelegt, wobei der nicht-destruktive Lesebefehl in dieser Reihenfolge

- ein elektrisches Vorspannen zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- ein Öffnen der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- 5 -- ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten; und
- ein Schreiben der gelesenen Daten in die zumindest eine Speicherzelle

umfaßt.

10

Zur Ausführungs des nicht-destruktiven Lesebefehls ist die Steuereinrichtung somit derart ausgebildet, daß im Anschluß an den destruktiven Ausleseschritt die gelesenen Daten vom Register in die zumindest eine Speicherzelle rückgeschrieben werden. Die Ausführung eines nicht-destruktiven Lesebefehls umfaßt somit im wesentlichen die Ausführung eines destruktiven Lesebefehls mit anschließendem Schreibbefehl der gelesenen Daten zurück in die Speicherzelle. Somit ergibt sich zur Ausführung eines nichtdestruktiven Lesebefehls eine minimale Wortleitungszykluszeit $t_{RC} (RRD) = t_{RC}(DRD) + t_{RC}(WR)$, wobei RRD für "repetitive read" steht.

20

Gemäß einer weiteren bevorzugten Ausführungsform ist die Steuereinrichtung zusätzlich zur Ausführung eines Refreshbefehls von Daten in zumindest einer der Speicherzellen zum Auffrischen dieser Daten ausgelegt, wobei der Refreshbefehl in dieser Reihenfolge

25

- ein elektrisches Vorspannen zumindest der Bitleitung, welcher der zumindest einen Speicherzelle zugeordnet ist;
- 30 -- ein Öffnen der Wortleitung, welcher der zumindest einen Speicherzelle zugeordnet ist;
- ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten; und
- ein Schreiben der gelesenen Daten in die zumindest eine Speicherzelle

35

umfaßt.

Im Unterschied zu einem nicht-destruktiven Lesebefehl brauchen bei der Ausführung des Refreshbefehls die Daten nicht an den Datenausgang der Speichervorrichtung übermittelt zu werden. Eine derartige Auslegung der Steuereinrichtung hinsichtlich der Ausführung von Refreshbefehlen zur Auffrischung des Dateninhalts der Speicherzellen ist bei DRAM Speichern vorteilhaft, jedoch - wie später ausgeführt wird - nicht zwingend erforderlich.

Vorzugsweise ist die Speichervorrichtung ein DRAM-Speicher. Gleichermäßen ist das erfindungsgemäße Konzept jedoch auch auf andere Speicherarchitekturen, insbesondere SRAM-Speicher, anwendbar.

Gemäß einer bevorzugten Ausführungsform ist die Speichervorrichtung ein Pufferspeicher, insbesondere ein Netzwerkpufferspeicher. Bei einer derartigen Ausführungsform kann unter Umständen auf eine Ausgestaltung der Steuereinrichtung zur Ausführung eines nicht-destruktiven Lesebefehls und eines Refreshbefehls verzichtet werden. Sehr schnelle Netzwerkpufferspeicher werden eingesetzt, um einen Datenstrom für eine bestimmte (kurze) Zeit zwischenzuspeichern, bevor er an eine Ausgabeeinrichtung weitergegeben wird. Typischerweise werden die zwischengespeicherten Daten lediglich ein einziges Mal gelesen, bevor sie weitergegeben werden, so daß ein nicht-destruktiver Lesebefehl (repetitive read) nicht erforderlich ist.

Ferner sind Applikationen denkbar, bei welchen die Zwischenspeicherzeit kleiner als die Refreshperiode ist, so daß die Steuereinrichtung nicht zur Ausführung eines Refreshbefehls ausgelegt sein muß, da die Daten bereits innerhalb der Refreshperiode ausgelesen werden.

Erfindungsgemäß umfaßt ein Verfahren zum Lesen von Daten aus und Schreiben von Daten in Speicherzellen einer vorzugsweise erfindungsgemäßen Speichervorrichtung die Ausführung eines

5 destruktiven Lesebefehls von Daten aus zumindest einer der Speicherzellen, wobei der Lesebefehl in dieser Reihenfolge die Schritte

-- eines elektrischen Vorspannen zumindest der Bitleitung, welcher der zumindest Einspeicherzelle zugeordnet ist;

10 -- eines Öffnens der Wortleitung, welcher der zumindest Einspeicherzelle zugeordnet ist; und

-- eines destruktiven Auslesens der in der zumindest Einspeicherzelle gespeicherten Daten

umfaßt.

15

Hinsichtlich des erfindungsgemäßen Verfahrens wird auf die vorangegangenen Ausführungen zu den erfindungsgemäßen Speichervorrichtungen Bezug genommen. Ferner wird hinsichtlich allgemeiner Begriffsdefinitionen und Ausführungen auf die

20 Beschreibung des typischen minimalen Wortleitungszyklusses herkömmlicher Speichervorrichtungen in der Würdigung des Stands der Technik Bezug genommen.

25 Gemäß einer bevorzugten Ausführungsform umfaßt das Verfahren zusätzlich die Ausführung eines Schreibbefehls von Daten in zumindest eine der Speicherzellen, wobei der Schreibbefehl ein Schreiben der Daten in die zumindest eine Speicherzelle ohne zuvoriges Lesen der in der Speicherzelle gespeicherten Daten umfaßt. Die minimale Wortleitungszykluszeit für einen

30 Schreibbefehl beträgt somit lediglich die Zeit t_{CHARGE} für das Laden der Speicherzellen, wobei vorzugsweise auch kein Vorspannungs- bzw. Löschschritt der Bitleitungen (BLPRE) notwendig ist.

Gemäß einer weiteren bevorzugten Ausführungsform umfaßt das Verfahren zusätzlich die Ausführung eines nicht-destruktiven Lesebefehls (RRD, repetitive read) von Daten aus zumindest einer der Speicherzellen, wobei der nicht-destruktive

5 Lesebefehl in dieser Reihenfolge die Schritte

-- eines elektrischen Vorspannens zumindest der Bitleitung, welcher der zumindest einen Speicherzelle zugeordnet ist;

-- eines Öffnens der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist;

10 -- eines destruktiven Auslesens der in der zumindest einen Speicherzelle gespeicherten Daten; und

-- eines Schreibens der gelesenen Daten in die zumindest eine Speicherzelle

umfaßt.

15

Gemäß einer weiteren bevorzugten Ausführungsform umfaßt das erfindungsgemäße Verfahren zusätzlich die Ausführung eines Refreshbefehls von Daten in zumindest einer der Speicherzellen zum Auffrischen dieser Daten, wobei der Refreshbefehl in dieser

20 Reihenfolge die Schritte

-- eines elektrischen Vorspannens zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;

-- eines Öffnens der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist;

25 -- eines destruktiven Auslesens der in der zumindest einen Speicherzelle gespeicherten Daten; und

-- eines Schreibens der gelesenen Daten in die zumindest eine Speicherzelle

umfaßt.

30

Die Erfindung wird im folgenden mit Bezug auf begleitende Zeichnungen einer bevorzugten Ausführungsform beispielhaft beschrieben. Es zeigt:

Fig.1 ein schematisches Zeitablaufdiagramm bzw. Timingdiagramm minimaler Wortleitungszyklen eines herkömmlichen DRAM-Speichers, wobei ein Schreibbefehl und ein Lesebefehl mit minimaler Wortleitungszykluszeit dargestellt sind; und

Fig.2 ein schematisches Zeitablaufdiagramm minimaler Wortleitungszyklen einer bevorzugten Ausführungsform einer erfindungsgemäßen Speichervorrichtung mit einem Schreib- und einem Lesezyklus.

In Fig. 1 sind zwei herkömmliche minimale DRAM-Wortleitungszyklen für einen Schreib- und einen Lesebefehl dargestellt. Wie eingangs beschrieben umfaßt ein Schreibzyklus minimal die Schritte BLSENS, CHARGE und BLPRE. Die minimale Wortleitungszykluszeit beträgt somit $t_{RC} = t_{BLSENS} + t_{CHARGE} + t_{BLPRE}$. Der minimale Lesezyklus (READ) entspricht hinsichtlich seiner Zeitabfolge genau einem minimalen Schreibzyklus (WRITE) und weist eine identische minimale Wortleitungszykluslänge auf.

In Fig. 2 ist ein Zeitablaufdiagramm von minimalen Wortleitungszyklen einer bevorzugten Ausführungsform einer erfindungsgemäßen Speichervorrichtung dargestellt. Gezeigt ist ein Schreibzyklus, welcher mit "WRITE" betitelt ist, sowie ein Lesezyklus, welcher mit "READ" betitelt ist. Der Lesezyklus umfaßt die bereits eingangs beschriebenen Schritte BRPRE zum elektrischen Vorspannen bzw. Löschen der betreffenden Bitleitungen sowie den Schritt BLSENSE zum Öffnen der Wortleitungen und Auslesen der Daten aus den Speicherzellen in ein Register. Im Unterschied zu minimalen Wortleitungszyklen herkömmlicher Speichervorrichtungen findet bei dem erfindungsgemäßen Wortleitungszyklus kein Rückschreiben der gelesenen Daten in die Speicherzellen statt. Ferner ist der Lesezyklusablauf konzeptionell umgestaltet, indem der Zyklus

nicht - wie herkömmlich - mit dem Schritt BLSENS, sondern mit dem Schritt BLPRE beginnt.

Die minimale Wortleitungszykluszeit $t_{RC}(DRD)$ für den
5 destruktiven Lesebefehl DRD beträgt somit $t_{BLPRE} + t_{BLSENSE}$. Der
Schreibzyklus umfaßt lediglich den Schritt CHARGE, d.h. das
Schreiben von Daten in die Zellenkondensatoren der
Speicherzellen, so daß sich eine minimale
Wortleitungszykluszeit für den Schreibbefehl WR von $t_{RC}(WR)$
10 ergibt. Die Steuereinrichtung kann derart ausgelegt sein, daß
die minimale Wortleitungszykluszeit $t_{RC}(WR)$ gleich der
minimalen Wortleitungszykluszeit $t_{RC}(DRD)$ ist.

Ein wesentlicher Vorteil des erfindungsgemäßen Konzepts ist die
15 vollständige Trennung des Zeitablaufs bzw. Timings von
Schreibzyklen (t_{CHARGE}) und Lesezyklen ($t_{BLPRE} + t_{BLSENSE}$). Dies ist
insbesondere dann von besonderer Wichtigkeit, wenn die Schreib-
und Lesezeitabläufe erheblich unterschiedlich sind. In diesem
Fall ist es vorteilhafterweise möglich, unterschiedliche t_{RC} -
20 Werte für Schreib- und Lesezyklen vorzusehen.

Eine bevorzugte Implementierung der Erfindung umfaßt
vorzugsweise folgende Befehle, auf welche der Benutzer einer
erfindungsgemäßen Speichervorrichtung zugreifen kann:

- 25
- a) WR: Schreibbefehl (write command;
 - b) DRD: destruktiver Lesebefehl (destructive (once only)
read);
 - c) RRD: nicht-destruktives Lesen (repetitive read); und
 - 30 d) REF: Refreshbefehl (refresh operation)

Der nicht-destruktive Lesebefehl RRD ist aus einem destruktiven
Lesebefehl DRD und einem anschließenden Schreibbefehl WR
zusammengesetzt, so daß $t_{RC}(RRD) = t_{RC}(WR) + t_{RC}(DRD)$ gilt. Bei
35 der bevorzugten erfindungsgemäßen Speichervorrichtung sollte

lediglich derjenige Teil einer Wortleitung geöffnet werden, welcher von dem Befehl verwendet wird. Hierzu kommt vorzugsweise eine segmentierte Wortleitungsarchitektur zum Einsatz, welche jedoch aus anderen Leistungsgründen bei manchen Speicherarchitekturen, beispielsweise RLDRAMs (Reduced Latency DRAM), insbesondere RLDRAM1, bereits benutzt wird. Bei diesem Konzept ist jede Wortleitung 1024 Bitleitungen zugeordnet. Wenn 16 Bit pro Bank und eine Burstlänge von 8 angenommen werden, werden 128 Bits gelesen. Somit ist es notwendig, die Wortleitung in $1024/128 = 8$ Segmente zu unterteilen. Dies scheint akzeptabel zu sein, wenn die damit erzielbare t_{RC} -Reduktion betrachtet wird, welche anderwärtig schwierig erzielbar sein würde. Für eine Burstlänge von $BL=2$ würde sich jedoch ein Segmentierungsfaktor von 32 ergeben.

Die Erfindung ermöglicht somit eine signifikante Reduktion der minimalen Wortleitungszykluszeit, ohne daß verbesserte technologische Parameter vorausgesetzt werden würden.

Ansprüche

1. Speichervorrichtung umfassend:

- zumindest ein Zellenfeld mit einer Vielzahl von Speicherzellen, wobei jeder der Speicherzellen eine Wort- und eine Bitleitung zugeordnet ist;
- 5 - eine Steuereinrichtung, welche mit den Wort- und den Bitleitungen in Signalverbindung steht und ausgelegt ist, in den Speicherzellen gespeicherte Daten zu lesen und Daten in die Speicherzellen zu schreiben;

wobei die Steuereinrichtung zur Ausführung eines destruktiven Lesebefehls (DRD) von Daten aus zumindest einer der Speicherzellen ausgelegt ist, welcher in dieser Reihenfolge

- ein elektrisches Vorspannen zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- ein Öffnen der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist; und
- 15 -- ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten

umfaßt.

20 2. Speichervorrichtung nach Anspruch 1, wobei die Steuereinrichtung zusätzlich zur Ausführung eines Schreibbefehls (WR) von Daten in zumindest eine der Speicherzellen ausgelegt ist, welcher ein Schreiben der Daten in die zumindest eine Speicherzelle ohne zuvoriges Lesen der

25 in der Speicherzelle gespeicherten Daten umfaßt.

3. Speichervorrichtung nach Anspruch 1 oder 2, wobei die Steuereinrichtung zusätzlich zur Ausführung eines nicht-destruktiven Lesebefehls (RRD) von Daten aus zumindest einer

30 der Speicherzellen ausgelegt ist, welcher in dieser Reihenfolge

- ein elektrisches Vorspannen zumindest der Bitleitung,

welche der zumindest einen Speicherzelle zugeordnet ist;
-- ein Öffnen der Wortleitung, welche der zumindest einen
Speicherzelle zugeordnet ist;
-- ein destruktives Auslesen der in der zumindest einen
5 Speicherzelle gespeicherten Daten; und
-- ein Schreiben der gelesenen Daten in die zumindest eine
Speicherzelle
umfaßt.

10 4. Speichervorrichtung nach einem der vorangegangenen
Ansprüche, wobei die Steuereinrichtung zusätzlich zur
Ausführung eines Refreshbefehls (REF) von Daten in zumindest
einer der Speicherzellen zum Auffrischen dieser Daten
ausgelegt ist, wobei der Refreshbefehl in dieser Reihenfolge
15 -- ein elektrisches Vorspannen zumindest der Bitleitung,
welche der zumindest einen Speicherzelle zugeordnet ist;
-- ein Öffnen der Wortleitung, welche der zumindest einen
Speicherzelle zugeordnet ist;
-- ein destruktives Auslesen der in der zumindest einen
20 Speicherzelle gespeicherten Daten; und
-- ein Schreiben der gelesenen Daten in die zumindest eine
Speicherzelle
umfaßt.

25 5. Speichervorrichtung nach einem der vorangegangenen
Ansprüche, wobei die Speichervorrichtung ein DRAM ist.

6. Speichervorrichtung nach einem der Ansprüche 1 bis 5,
wobei die Speichervorrichtung ein SRAM ist.

30

7. Speichervorrichtung nach einem der vorangegangenen
Ansprüche, wobei die Speichervorrichtung ein Pufferspeicher,
insbesondere ein Netzwerkpufferspeicher, ist.

35 8. Verfahren zum Lesen von Daten aus und Schreiben von Daten
in Speicherzellen einer Speichervorrichtung nach einem der
vorangegangenen Ansprüche, wobei das Verfahren die Ausführung

eines destruktiven Lesebefehl (DRD) von Daten aus zumindest einer der Speicherzellen umfaßt, welcher in dieser Reihenfolge die Schritte

- eines elektrischen Vorspannens zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- eines Öffnens der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist; und
- eines destruktiven Auslesens der in der zumindest einen Speicherzelle gespeicherten Daten

umfaßt.

9. Verfahren nach Anspruch 8, wobei das Verfahren zusätzlich die Ausführung eines Schreibbefehls (WR) von Daten in zumindest eine der Speicherzellen umfaßt, welcher ein Schreiben der Daten in die zumindest eine Speicherzelle ohne zuvoriges Lesen der in der Speicherzelle gespeicherten Daten umfaßt.

10. Verfahren nach Anspruch 8 oder 9, wobei das Verfahren zusätzlich die Ausführung eines nicht-destruktiven Lesebefehls (RRD) von Daten aus zumindest einer der Speicherzellen umfaßt, welcher in dieser Reihenfolge die Schritte

- eines elektrischen Vorspannens zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- eines Öffnens der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- eines destruktiven Auslesens der in der zumindest einen Speicherzelle gespeicherten Daten; und

-- eines Schreibens der gelesenen Daten in die zumindest eine Speicherzelle umfaßt.

11. Verfahren nach Anspruch 8 bis 10, wobei das Verfahren zusätzlich die Ausführung eines Refreshbefehls (REF) von Daten in zumindest einer der Speicherzellen zum Auffrischen dieser Daten umfaßt, wobei der Refreshbefehl in dieser

Reihenfolge die Schritte

- eines elektrischen Vorspannens zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
 - eines Öffnens der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
 - eines destruktiven Auslesens der in der zumindest einen Speicherzelle gespeicherten Daten; und
 - eines Schreibens der gelesenen Daten in die zumindest eine Speicherzelle
- umfaßt.

Zusammenfassung

Die Erfindung betrifft eine Speichervorrichtung umfassend:

- zumindest ein Zellenfeld mit einer Vielzahl von Speicherzellen, wobei jeder der Speicherzellen eine Wort- und eine Bitleitung zugeordnet ist;
- 5 - eine Steuereinrichtung, welche mit den Wort- und den Bitleitungen in Signalverbindung steht und ausgelegt ist, in den Speicherzellen gespeicherte Daten zu lesen und Daten in die Speicherzellen zu schreiben;

wobei die Steuereinrichtung zur Ausführung eines destruktiven

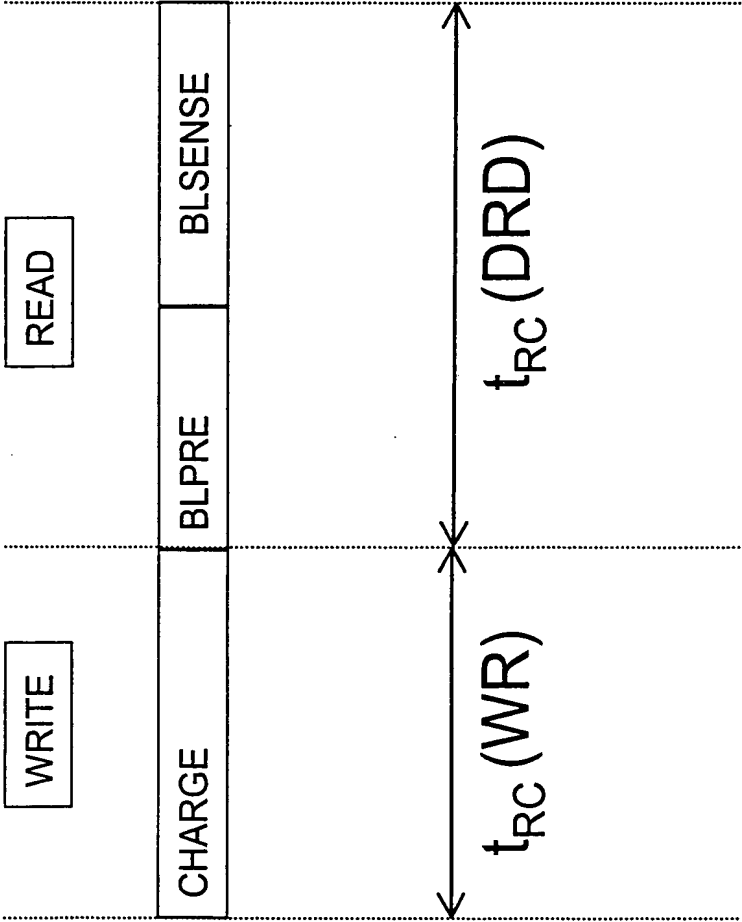
10 Lesebefehls (DRD) von Daten aus zumindest einer der Speicherzellen ausgelegt ist, welcher in dieser Reihenfolge

- ein elektrisches Vorspannen zumindest der Bitleitung, welche der zumindest einen Speicherzelle zugeordnet ist;
- ein Öffnen der Wortleitung, welche der zumindest einen Speicherzelle zugeordnet ist; und
- 15 -- ein destruktives Auslesen der in der zumindest einen Speicherzelle gespeicherten Daten

umfaßt.

20 (Fig. 2)

FIG 2



Stand der Technik

FIG 1

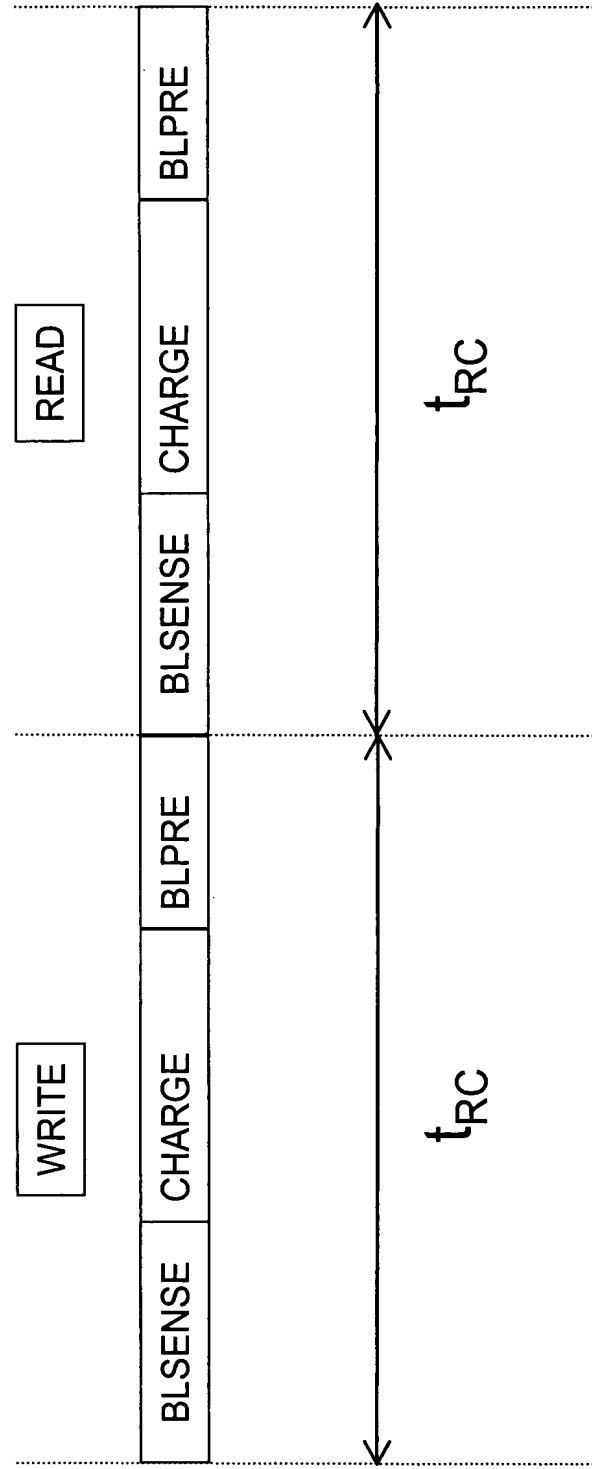
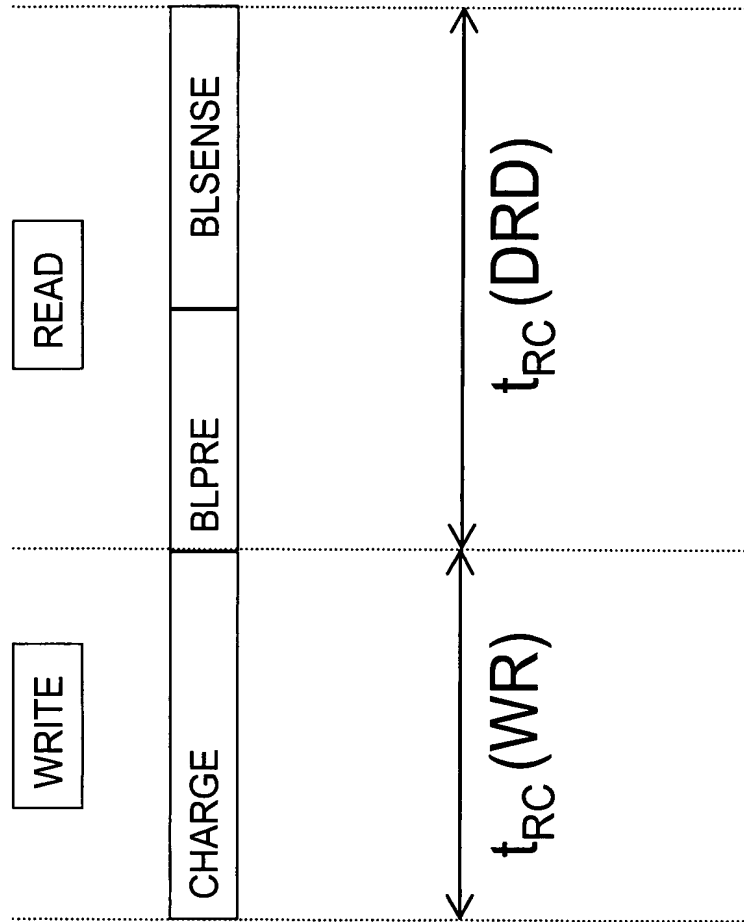


FIG 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.